

DERWENT-ACC-NO: 2003-107116

DERWENT-WEEK: 200310

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Electrode formation method for
semiconductor device, involves melting solder for fixing
metal electrode support, provided with central
through-hole, into rear side concave hole formed on
semiconductor substrate

PATENT-ASSIGNEE: SHINDENGEN ELECTRIC MFG KK[SHIG]

PRIORITY-DATA: 2001JP-0098701 (March 30, 2001)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC	
LANGUAGE				
JP 2002299600 A	004	October 11, 2002	H01L 029/41	N/A

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP2002299600A			
2001JP-0098701		N/A	
		March 30, 2001	

INT-CL (IPC): H01L029/41

ABSTRACTED-PUB-NO: JP2002299600A

BASIC-ABSTRACT:

NOVELTY - A metal electrode support (3) comprising a central through-hole (4), is connected to a concave hole formed by etching a back surface of a semiconductor substrate (8), by melting a solder (5).

USE - For semiconductor device.

ADVANTAGE - As the metal electrode support is fixed to the concave hole using the solder, the strength of the thin film -semiconductor device is increased and electrical conductivity is improved.

DESCRIPTION OF DRAWING(S) - The figure shows a sectional view of the semiconductor electrode. (Drawing includes non-English language text).

Metal electrode support 3

Central through-hole 4

Solder 5

Semiconductor substrate 8

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: ELECTRODE FORMATION METHOD SEMICONDUCTOR DEVICE MELT SOLDER FIX
METAL ELECTRODE SUPPORT CENTRAL THROUGH HOLE
REAR SIDE CONCAVE HOLE
FORMING SEMICONDUCTOR SUBSTRATE

DERWENT-CLASS: L03 U12

CPI-CODES: L04-C11C; L04-C17A;

EPI-CODES: U12-E02;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2003-027491

Non-CPI Secondary Accession Numbers: N2003-085694

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-299600

(P2002-299600A)

(43)公開日 平成14年10月11日 (2002.10.11)

(51)Int.Cl.

識別記号

F I

テーマコード(参考)

H01L 29/41

H01L 29/44

Z 4M104

審査請求 未請求 請求項の数3 O.L. (全4頁)

(21)出願番号 特願2001-98701(P2001-98701)

(71)出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(22)出願日 平成13年3月30日 (2001.3.30)

(72)発明者 伊藤 善孝

埼玉県飯能市南町10番13号新電元工業株式会社工場内

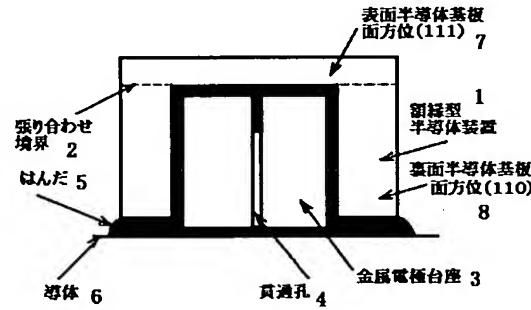
Fターム(参考) 4M104 CC01 FF02 FF27 HH15

(54)【発明の名称】 半導体装置の電極形成方法

(57)【要約】

【課題】高電流薄膜半導体の電極形成において強度的な補強をして、熱伝導、電気伝導性の優れた半導体装置の電極形成方法を提供する。

【解決手段】半導体基板の裏面に形成された凹状の穴を有する、いわゆる額縁型半導体装置において、額縁型半導体装置の穴に少なくとも1つの貫通孔を設けた金属電極台座を挿入し、低融点合金で凹状の穴と接続された金属電極台座を裏面半導体基板下部に突出させることにより薄膜の半導体装置において強度的にエッチングで残された半導体基板裏面を補強し、熱伝導、電気伝導性の優れた半導体装置の電極形成方法を提供できる。



【特許請求の範囲】

【請求項1】半導体基板の裏面をエッチングして凹状の穴を形成し、その穴から電流を取り出す半導体装置において、少なくとも1つの貫通孔を設けた金属電極台座を前記凹状の穴に挿入し低温度で溶融するはんだなどの合金で前記凹状の穴と前記金属台座が接続され、前記金属電極台座が半導体基板下部に突出したことを特徴とする半導体装置の電極形成方法。

【請求項2】請求項1に記載の半導体装置の電極形成方法において、前記金属電極台座の貫通孔の方向が半導体装置の電流の流れる方向にしたことを特徴とする半導体装置の電極形成方法。

【請求項3】請求項1に記載の半導体装置の電極形成方法において、金属電極台座が下部導体と分離していることを特徴とする半導体装置の電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は、半導体基板の裏面をエッチングして凹状の穴を形成し、その穴から電流を取り出す半導体装置において、半導体基板の裏面電極の形成方法に関するものである。

【0002】

【従来の技術】従来半導体基板の裏面をエッチングして穴を形成して半導体表面の電極と接続するためのバイアホールもしくはコンタクトホールを形成することが行われているが、その電極の形成方法は蒸着等により穴を充填する方法が採用されている。しかしこの場合長時間の蒸着を必要としたり、穴の中に不定形の気泡が形成され十分な熱伝導が行われず、半導体装置の発生する熱が放散されずに高温になり半導体装置を破壊するという不具合を生じていた。

【0003】大電流を必要とするダイオード、トランジスタ、MOSFET、IGBT等の半導体装置はバルクの厚さを薄くすることによって低抵抗の半導体装置が得られ、電極の形成においても低抵抗化が必要とされ、穴の中に充填しないで表面だけを蒸着した膜を形成して電極を形成する方法もあるが、大電流を得るための半導体装置には十分に熱が放散されないために問題を生じる。

【0004】また半導体基板の裏面に穴を設けた、いわゆる額縁構造の半導体装置では周辺の半導体基板の強度が外部の応力に対して弱いためチッピングが発生したり、欠けを発生することが予想され、穴の内部に十分強度が得られるような構造が必要とされている。

【0005】さらに半導体基板の裏面に形成された穴の内部に不定形の気泡が発生することは熱伝導、強度の観点からも望ましくなく、しかも充填した金属が高熱伝導、高電気伝導でさらに熱膨張の観点からも半導体基板に近いものが要求されている。図4は従来タイプの半導体装置の電極構造を示すものである。従来の蒸着方法では金属の堆積が平均化されず凹凸を生じ、これを平坦に

する加工が必要であった。

【0006】しかも、均一に充填するためには長時間の処理など量産するには制御がむずかしい状況で、穴が深い場合には内部に気泡を形成されるという問題も発生する等の欠点がある。

【0007】

【本発明が解決しようとする課題】本発明は、上記従来技術の問題点を鑑みてなされたもので、その目的は、半導体基板の裏面に形成された凹状の穴を有する、いわゆる額縁型基板の半導体装置において、強度、熱伝導、電気伝導性の優れた半導体装置の電極形成方法を提供できる。

【0008】

【課題を解決しようとする手段】上記目的を達成するためになされた請求項記載の発明は、半導体基板の裏面をエッチング等の手段で凹状の穴を形成した半導体装置の裏面に薄く金属蒸着した後に、はんだペーストを充填し、本発明の金属電極台座を挿入し、はんだ付けして半導体装置裏面の電極を構成することを特徴とする。

【0009】2種類の面方位の異なる半導体基板を貼り合わせた基板で、例えば表面を(111)、裏面を(100)とする貼り合わせ半導体基板を用い、表面の(111)半導体基板上に半導体素子を製作し、また、裏面半導体基板の半導体装置の周辺を残してエッチングすることで裏面中央部に凹状の穴を形成することで薄膜の半導体装置が構成されている。

【0010】裏面半導体基板が半導体装置の周辺部に額縁状に残され凹状の穴が形成された上記薄膜の半導体基板の裏側に、導電性金属を蒸着もしくはメッキをして金属層を形成し、凹状の穴にはんだペーストを塗布し、さらに金属電極台座を埋め込むことで半導体基板の裏面に金属電極台座を突出した形状ではんだ付けされる。

【0011】金属電極台座は少なくとも1つの貫通孔を半導体基板の穴と同一方向に形成されているため、内部にある気泡を吐き出すことが可能で、表面半導体基板の裏面と金属電極台座の間に気泡を形成せずに接続されるので、電気的接続上の問題が発生せず、また半導体装置表面基板の発熱を金属電極台座下部に効率的に放散することが可能である。

【0012】金属電極台座が半導体基板裏面より突出していることで、金属電極台座周辺の気泡を排出するスペースを確保できるので有効であり、さらに下面のストレスから保護し、半導体基板裏面の周辺部の強度を増すことが可能で、半導体素子を個別に扱うことが可能で外部のストレスから保護することができる。

【0013】

【発明の実施の形態】以下、添付図面を用いて本発明に係る半導体スイッチング装置の実施形態を説明する。なお、図面の説明において同一部材には同じ符号を付し、重複する説明は省略する。

【0014】図1は本発明の実施形態を示しており、図1はその断面図である。この断面図において薄膜半導体装置は、裏面半導体基板8中央にエッティングされた凹状の穴と額縁状の裏面半導体基板8を残したいわゆる額縁半導体デバイス1を形成している。

【0015】前記額縁半導体デバイス1の電極はエッティングされた穴の中央部にあり、ここから直接電流をとるために穴の中央部に蒸着もしくはメッキで金属を形成することで半導体基板裏面側に電極を引き出すことが可能になる。

【0016】裏面半導体基板8に、はんだを充填し金属電極台座3を挿入すると、気泡を巻き込む可能性があるため、金属電極台座3には少なくとも1つ以上の貫通孔4が設けられており、内部の空気は貫通孔4を通して下面に排出することができる。

【0017】貫通孔4の形状は円形の他に、梢円形や多角形も可能であり、請求項2に記載の半導体装置の電極形成方法は、内部に封じ込まれた空気を排出することができるよう貫通孔4が電流の流れる方向に形成されていることで表面半導体基板7に形成された半導体装置に接続する面の気泡を防止する。

【0018】半導体装置の凹状の穴は、例えば裏面半導体基板8の面方位を(110)をとると図1の方形のエッティング穴形状になるが、面方位(100)をとると台形のエッティング穴が形成されるため、図2のように穴形状にあわせて台形の金属電極台座3とすることで、図3に示すようにはんだ厚を一定にすることが可能である。

【0019】請求項3に記載の半導体装置の電極形成方法は、金属電極台座3が下部導体6と分離しているため個別の半導体素子として扱うことが可能で、例えば複合半導体を構成する場合においても自在に配置することができる。

【0020】

【発明の効果】半導体基板の裏面をエッティングして凹状

の穴を形成し、その穴から電流を取り出す半導体装置において、前記穴に少なくとも1つの貫通孔4を設けた金属電極台座3を挿入し低融点合金で凹状の穴と金属電極台座3が接続され前記金属電極台座3が裏面半導体基板8下部に突出した半導体装置の電極形成方法は、薄膜を有する半導体装置を強度的に補強し、熱伝導、電気伝導性の優れた半導体装置の電極形成方法を提供できる。

【0021】請求項1の半導体基板の裏面をエッティングして凹状の穴を形成し、その穴から電流を取り出す半導体装置において、少なくとも1つの貫通孔を設けた金属電極台座を前記凹状穴に挿入するのに用いられるはんだペーストは、他の低融点合金または金属または導電性樹脂でも凹状の穴に埋め込まれる電極金属台座3と接続できるものであれば使用可能である。

【0022】

【図面の簡単な説明】

【図1】本発明の実施形態を示す半導体電極の実施例断面図である。

【図2】本発明の台形の金属電極台座構造を示す実施例である。

【図3】本発明の台形の金属電極台座を使った実施例断面図である。

【図4】従来の半導体電極の実施例である。

【符号の説明】

1、額縁型半導体装置

2、張り合わせ境界

3、金属電極台座

4、貫通孔

5、はんだ

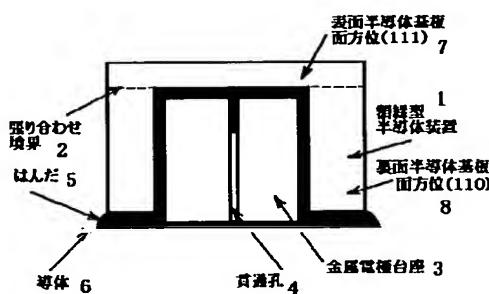
6、導体

7、表面半導体基板

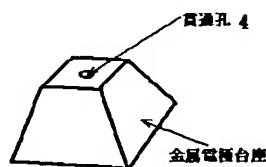
8、裏面半導体基板

9、気泡

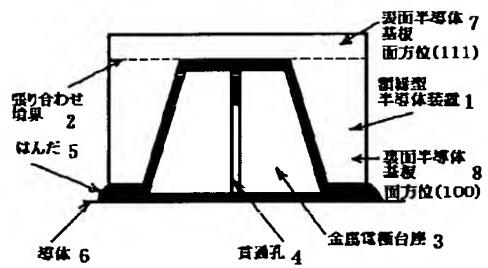
【図1】



【図2】



【図3】



【図4】

